

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-273727

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

G11B 20/14

H04L 7/08

(21)Application number : 2000-091044

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.03.2000

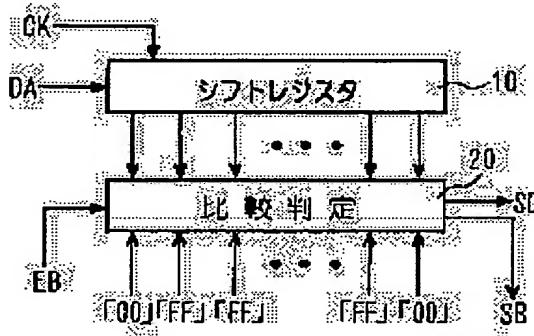
(72)Inventor : TSUDA HIROYUKI

(54) SYNCHRONIZING SIGNAL DETECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To expand the detection margin of a synchronizing signal.

SOLUTION: Data DA including the synchronizing signal is captured into a shift register 10 in response with a clock CK. The outputs of the respective stages of the shift register 10 are supplied to a comparative decision circuit 20 where the outputs are compared with comparison data corresponding to the synchronizing signal. A synchronization detection signal SD is started up when the coincidence of byte of the number greater than the preset number is confirmed in the comparative decision circuit 20.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-273727

(P2001-273727A)

(43)公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.
G 11 B 20/14
H 04 L 7/08

識別記号
3 5 1

F I
C 11 B 20/14
H 04 L 7/08

デマコード(参考)
3 5 1 Z 5 D 0 4 4
A 5 K 0 4 7

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号 特願2000-91044(P2000-91044)

(22)出願日 平成12年3月29日 (2000.3.29)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 津田 廣之

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

Fターム(参考) 5D044 B003 CC004 DE03 DE32 GM26

HL11

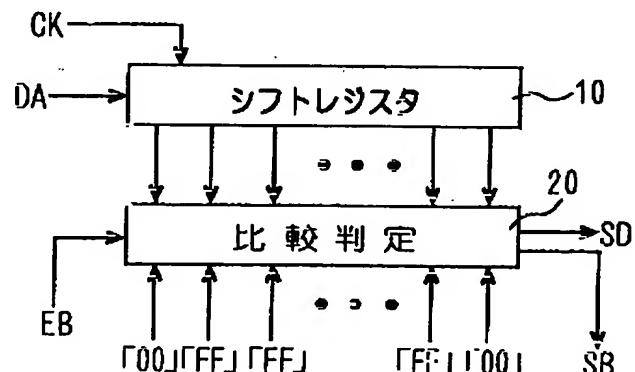
5K047 AA02 CC11 HH01 HH12 HH22
HH23 HH43

(54)【発明の名称】 同期信号検出回路

(57)【要約】

【課題】 同期信号の検出マージンを拡大する。

【解決手段】 同期信号を含むデータDAをクロックCKに応答してシフトレジスタ10に取り込む。シフトレジスタ10の各段の出力を比較判定回路20供給し、同期信号に対応する比較データと比較する。比較判定回路20において、予め設定された数よりも多くのバイトが一致していることを確認できたときに、同期検出信号SDを立ち上げる。



【特許請求の範囲】

【請求項1】 所定のバイト数よりなるセクタ単位で転送されるデジタルデータから各セクタの先頭に付加される複数バイトの同期符号を検出し、デジタルデータの転送動作に同期した同期信号を生成する同期信号検出回路において、転送されるデジタルデータをシリアルに取り込み、取り込んだデジタルデータを同期符号に対応する固定パターンと1バイト単位で比較すると共に、上記デジタルデータが予め設定されるバイト数より多くの固定パターンに一致したときに同期信号を立ち上げることを特徴とする同期信号検出回路。

【請求項2】 転送動作に同期してデジタルデータを順次取り込むシフトレジスタと、上記シフトレジスタの各ビットのデータと同期符号に対応する固定パターンとを比較する比較判定回路と、を備え、上記比較回路で所定バイト数の一一致が検出されたときに同期信号が立ち上げられることを特徴とする請求項1に記載の同期信号検出回路。

【請求項3】 上記比較回路は、少なくとも上記同期符号の先頭の1バイトまたは最後の1バイトの一一致を検出できなかったとき、同期信号の立ち上がりを停止することを特徴とする請求項2に記載の同期信号検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セクタ単位で転送されるデジタルデータから同期信号を検出する同期信号検出回路に関する。

【0002】

【従来の技術】デジタルオーディオに用いられるCDをデジタルデータの読み出し専用メモリ(ROM)として活用するCD-ROMシステムにおいては、ディスクから読み出されるデータの信頼性を高めるため、読み出されたデジタルデータに対して符号誤りの訂正処理が二重に施される。これらの訂正処理は、オーディオシステムと共にデジタル信号処理部で1回目を実行し、CD-ROMシステム専用に設けられるCD-ROMデコーダで2回目を実行するように構成される。

【0003】図4は、CD-ROMシステムの構成を示すブロック図で、図5は、このシステムの各部で取り扱われるデータの構成図である。

【0004】ピックアップ部1は、ディスク2に照射される光の反射光を受け、その光の強弱を電圧値の変化として取り出す。ピックアップ制御部3は、ピックアップ部1がディスク2に記憶されたデータを正しい順序で読み出すことができるように、ディスク2に対するCDピックアップ部1の読み取り位置を制御する。ディスク2の再生では、ピックアップ部1で読み取られるトラックの線速度を一定に保つようにするために、ピックアップ制御部3によるピックアップ部1の位置の制御に合わせて、ディスク2を所定の速度で回転駆動するようにサー

ボ制御(CLV制御)が行われる。あるいは、ディスク2の回転の角速度を一定に保つようにサーボ制御(CAV制御)が行われる。

【0005】アナログ信号処理部4は、ピックアップ部1から出力される電圧値の変化を読み取り、588ビットを1フレームとするEFM(Eight to Fourteen Modulation)信号を生成する。このEFM信号は、図5に示すように、各フレームの始まりの24ビットが同期信号に割り当てられ、その後に3ビットの接続ビットを挟んで14ビットがデータビットに繰り返し割り当てられる。デジタル信号処理部5は、アナログ信号処理部4から入力されるEFM信号に対してEFM復調を施し、14ビットを8ビットに変換する。このEFM復調の際には、同期信号に続く最初のデータビットから8ビットのサブコードデータが生成され、残された32個のデータビットから32バイトのシンボルデータが生成される。さらに、32バイトのシンボルデータに対して、CIRC(Cross-Interleave Reed-Solomon Code)復号を施し、1フレームが24バイトからなるCD-ROMデータが生成される。このCIRC復号によって最初の符号誤りの訂正処理が完了する。

【0006】このCD-ROMデータは、24バイト×98フレームの合計2352バイトが1セクタとして取り扱われる。この1セクタのデータに対しては、通常(モード1の場合)は図6に示すように、同期信号〔12バイト〕、ヘッダ〔4バイト〕、ユーザデータ〔2048バイト〕、誤り検出符号EDC(Error Detection Code)〔4バイト〕及び誤り訂正符号ECC(Error Correction Code)〔276バイト〕がそれぞれ割り当てられる。また、このCD-ROMデータについては、1ブロックのデータうち、同期信号12バイトを除いた2340バイトにスクランブル処理が施されており、再生時にディスクランブル処理が施されて元の状態に戻される。

【0007】CD-ROMデコーダ6は、デジタル信号処理部5から入力されるCD-ROMデータに対して、誤り訂正符号(ECC)及び誤り検出符号(EDC)に基づく符号誤りの訂正処理及び検出処理を行う。このとき、CD-ROMデコーダ6は、各セクタの先頭に付された12バイトの同期信号を検出し、CD-ROMデータの各セクタの入力開始のタイミングに同期したタイミング信号を生成する。通常、CD-ROMデータの同期信号は、図7に示すように、先頭の1バイト及び最後の1バイトが「00h」(h:16進表示)で、その間の10バイトが全て「FFh」となっている。このような符号の配列は、同期信号以外で表れることができないため、この符号配列を検出したときに、タイミング信号を立ち上げるように構成される。CD-ROMデコーダ6における処理では、通常、ECCによってデータの符号誤りを訂正した後、EDCによって符号誤りが正しく訂正されているか否かを確認し、ホストコンピュータへ転送す

るようしている。ここで、符号の誤りが残されているときには、再度ECCによる符号誤りの訂正処理を施すか、あるいは、エラーフラグを附加した状態で、符号誤りを含んだままのCD-ROMデータをホストコンピュータへ出力するように構成される。

【0008】バッファRAM7は、CD-ROMデコーダ6に接続され、デジタル信号処理部5からCD-ROMデコーダ6に入力されるCD-ROMデータを1ブロック単位で一時的に記憶する。ECC及びEDCは、1ブロック分のCD-ROMデータに対して附加されるため、CD-ROMデコーダ6での処理には少なくとも1ブロック分のCD-ROMデータが必要となる。そこで、それぞれの処理で必要な1ブロック分のCD-ROMデータを記憶するようにバッファRAM7が設けられる。制御マイコン8は、制御プログラムが記憶されたメモリを内蔵する所謂ワンチップマイコンで構成され、その制御プログラムに従ってCD-ROMデコーダ6の動作を制御する。同時に、制御マイコン8は、ホストコンピュータから入力されるコマンドデータあるいはデジタル信号処理部5から入力されるサブコードデータを一旦内蔵のメモリに記憶する。これにより制御マイコン8は、ホストコンピュータからの指示に応答して各部の動作を制御し、CD-ROMデコーダ6からホストコンピュータへ所望のCD-ROMデータを出力させる。

【0009】

【発明が解決しようとする課題】CD-ROMデコーダ6において同期信号を検出する際、12バイトのデータの中に1ビットでもエラーがあると、同期信号の認識が出来なくなる。特に、動作の立ち上がり時点では、内部同期信号をCD-ROMデータに同期させるため、数セクタにわたって同期信号を正しく検出する必要が生じる。しかしながら、ディスク2に傷などがあり、ディスク2から正しいデータを読み出すことができなかった場合、内部同期信号の立ち上がりが遅れたり、ディスク2の傷が大きい場合には、内部同期信号が立ち上がらなくなるおそれがある。

【0010】そこで本発明は、同期信号の検出マージンを広げ、少しのエラーは無視して同期信号の検出を可能にすることを目的とする。

【0011】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、所定のバイト数よりなるセクタ単位で転送されるデジタルデータから各セクタの先頭に付加される複数バイトの同期符号を検出し、デジタルデータの転送動作に同期した同期信号を生成する同期信号検出回路において、転送されるデジタルデータをシリアルに取り込み、取り込んだデジタルデータを同期符号に対応する固定パターンと1バイト単位で比較すると共に、上記デジタルデータが予め設定されるバイト数より多くの固定パターンに

一致したときに同期信号を立ち上げることにある。

【0012】本発明によれば、複数バイトの同期信号の内、何バイトかにエラーがあったとしても、そのエラーが所定の範囲であれば、同期信号として認識できるようになる。

【0013】

【発明の実施の形態】図1は、本発明の同期信号検出回路の実施形態を示すブロック図であり、図2は、その動作を説明する波形図である。

【0014】本発明の同期信号検出回路は、例えば図4に示すCD-ROMデコーダ6に内蔵されるものであり、シフトレジスタ10及び比較判定回路20より構成される。シフトレジスタ10は、同期信号を含むデータDAを、データDAの転送タイミングに同期したクロックCKに従って順次取り込み、同期信号を構成するバイト数分（例えば12バイト分）保持する。このシフトレジスタ10は、保持したデータDAを全バイト並列に出力できるように構成される。

【0015】比較判定回路20は、シフトレジスタ10から入力される12バイト分のデータDAと同期信号を構成する12バイトの符号に対応する基準データとを比較し、両データの一一致を検出して同期検出信号SDを立ち上げる。即ち、シフトレジスタ10から入力される12バイト分のデータDAに対して、第1バイト及び第12バイトを「00h」と比較し、第2～第11バイトを「FFh」と比較する。そして、その比較結果が、予め設定されるバイト数以上、例えば、8バイト以上一致していれば、同期検出信号SDを立ち上げるように構成される。

【0016】ここで、データの一一致が求められるバイト数の設定は、CD-ROMデコーダを制御する制御マイコンから設定可能とする。この設定は、CD-ROMデコーダにレジスタを内蔵させ、そのレジスタに保持するようにすればよい。さらに、比較判定回路20は、12バイトのデータの比較で、何バイトの一一致を確認できたかを示す制御データSBを生成する。この制御データSBを制御マイコンに供給することで、制御マイコン側で一致動作を監視することが可能になる。

【0017】また、比較判定回路20は、同期信号の先頭の適数バイト及び最後の適数バイトの内、何れか一方または両方が一致しなかった場合、残りの全てのバイトが一致したとしても、同期信号を検出できなかつとして、同期検出信号SDを立ち上げないようにしている。即ち、同期信号の先頭または最後が一致しなかった場合、実際の同期信号のタイミングと同期検出信号SDの立ち上がりのタイミングとがずれるおそれがあるため、同期信号の先頭の適数バイト及び最後の適数バイトの内、少なくとも一方が一致しなければ、同期信号の検出ができたとは見なさないようにしている。

【0018】例えば、同期信号の検出で、先頭の2バ

ト及び最後の2バイトの一致が必須であるとする場合、図2に示すように、各バイトに対応して制御信号EBを設け、この制御信号EBが「1」に設定されているバイトについては、同期信号の検出において一致が必須であるように設定する。そして、制御信号EBが「0」に設定されているバイトについて、予め設定される数の一致が確認されたとき、同期検出信号SDを立ち上げるように設定する。

【0019】尚、制御信号EBについては、同期信号の先頭及び最後に限らず、中間のバイトについても「1」を設定するようにしてもよい。即ち、符号の一致が必須であると設定するバイトを同期信号の先頭及び最後の他に、中間に設定するようにしてもよい。この場合、同期信号の検出精度は高くなるが、その分判定のマージンが減るため、同期信号の符号エラーの影響を受けやすくなる。

【0020】以上の同期信号検出回路によれば、同期信号に少しの符号エラーが含まれていたとしても、その符号エラーを無視して同期信号を正しく検出することができるようになる。このようにして生成される同期検出信号SDは、例えば、CD-ROMデコーダにおいて、デコード処理のタイミング制御に用いられる。

【0021】図3は、本発明の同期信号検出回路のシフトレジスタ10及び比較判定回路20の構成の一例を示す回路図である。

【0022】シフトレジスタ10は、直列に接続された複数のフリップフロップ11より構成される。各フリップフロップ11は、前段のQ出力とD入力に受け、同期信号を構成するバイト数、例えば、本実施形態では12個が直列に接続され、各フリップフロップ11のT入力に共通のクロックCKが供給される。そして、各フリップフロップ11のQ出力が、比較判定回路20に供給される。このフリップフロップ11については、図面上で1ビット分のみを示してあるが、実際には、1バイト(=8ビット)のデータに対応するように、同一の回路が8組並列に設けられる。

【0023】比較判定回路20は、複数のXOR(排他論理和)ゲート21と判定部22より構成される。XORゲート21は、シフトレジスタを構成するフリップフロップ11と同一の数、例えば、本実施形態では12個が並列に接続される。このXORゲート21についても、フリップフロップ11と同様に、図面上で1ビット分のみを示してあるが、実際には、1バイト(=8ビット)のデータに対応するように、同一の回路が8組並列に設けられる。各XORゲートの一方の入力には、シフトレジスタ10の各フリップフロップ11の出力が与えられ、他方の入力には、同期信号の各符号に対応する比較データが与えられる。例えば、シフトレジスタ10の初段及び最終段の出力を受けるXORゲート21に対しては「00h」を与え、その他のXORゲート21に対

しては「11h」を与えるようにしている。従って、各XORゲート21は、シフトレジスタ10の各段から与えられる出力データと各比較データとが全て一致したとき、その出力を立ち下げるところになる。

【0024】判定部22は、各XORゲート21の出力を受け、その出力の内、幾つがデータの一致を示しているかを判定し、予め設定される数よりも多く一致していた場合には、同期検出信号SDを立ち上げる。このとき、制御データEBによって、データの一致が必須となるバイトの設定が成される。例えば、データの一致が必須であると設定されたバイトを除いて、何バイトが一致しているかをカウントし、そのカウント値が所定の値を超えていたときに、判定出力を立ち上げるようにしている。そして、データの一致が必須であると設定されたバイトについて、それらのバイトのデータの一致判定の出力(XORゲート21の出力)の論理積または論理和に応じて、判定出力を同期検出信号SDとして出力するように構成される。そして、同期信号SDの立ち上がりと共に、データの一致バイト数を示す制御データSBを立ち上げる。

【0025】判定部22については、論理回路の組合せにより構成する他、制御マイコンの制御の下で動作するDSP(Digital Signal Processor)により構成することも可能である。

【0026】以上の実施形態においては、CD-ROMデータに対応した12バイトの同期信号を検出する場合を例示したが、その他、時系列で伝送されるデジタルデータに付される同期信号の検出に用いることができる。

【0027】

【発明の効果】本発明によれば、同期信号の検出において、符号の一部にエラーがある場合でも、そのエラーが小さいものであれば、エラーを無視して同期信号を検出できるようになる。CD-ROMシステムに採用した場合、動作の立ち上がりを高速化できる。

【図面の簡単な説明】

【図1】本発明の同期信号検出回路の構成を示すブロック図である。

【図2】同期信号の各符号と制御データとの関係を示す図である。

【図3】本発明の同期信号検出回路の一例を示す回路図である。

【図4】CD-ROMシステムの構成を示すブロック図である。

【図5】ディスクから読み出されるデータのフォーマット図である。

【図6】CD-ROMデータのフォーマット図である。

【図7】同期信号の各符号を示す図である。

【符号の説明】

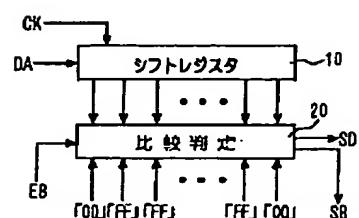
1 ピックアップ部

2 ディスク

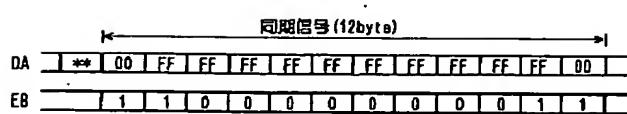
- 3 ピックアップ制御部
- 4 アナログ信号処理部
- 5 デジタル信号処理部
- 6 CD-ROMデコーダ
- 7 バッファRAM
- 8 制御マイコン

- 10 シフトレジスタ
- 11 フリップフロップ
- 20 比較判定回路
- 21 XORゲート
- 22 判定部

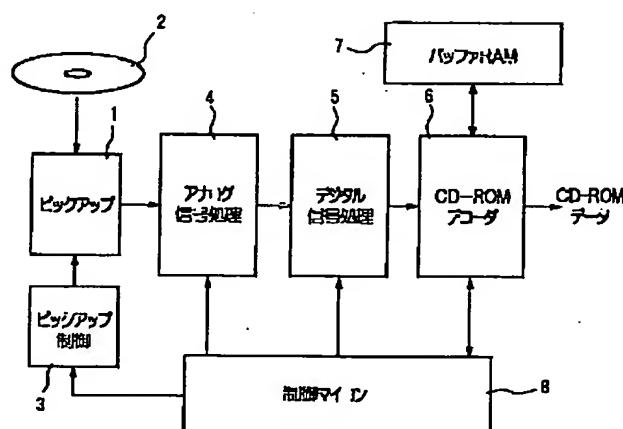
【図1】



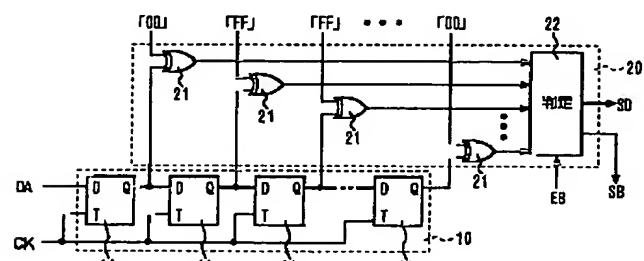
【図2】



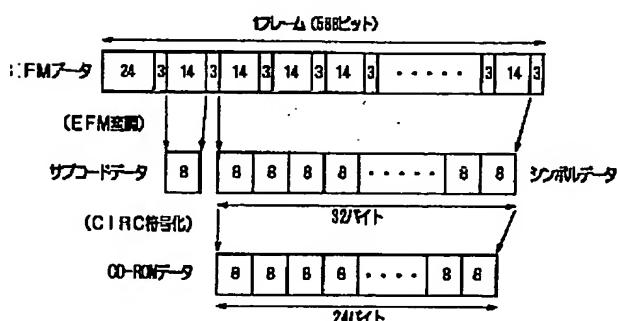
【図4】



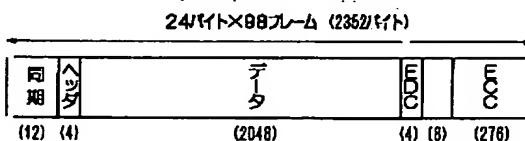
【図3】



【図5】



【図6】



【図7】

